

日本国特許庁
JAPAN PATENT OFFICE

26. 4. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月25日

出願番号
Application Number: 特願2003-121194

[ST. 10/C]: [JP 2003-121194]

出願人
Applicant(s): 松下電器産業株式会社

REC'D 01 JUL 2004

WIPO

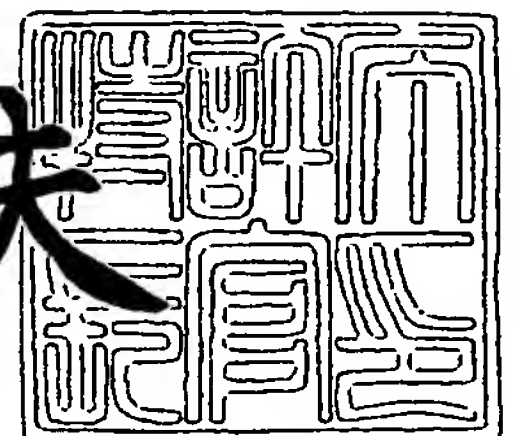
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 6月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 2926450009

【提出日】 平成15年 4月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/105

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社
 会社内

 【氏名】 平野 博茂

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

 【予納台帳番号】 011305

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 強誘電体メモリ装置

【特許請求の範囲】

【請求項 1】 メモリセルトランジスタと、強誘電体層と該強誘電体層を挟んで形成された下部電極および上部電極によって構成された容量素子とからなる強誘電体メモリ装置であって、複数の前記強誘電体メモリ装置における容量素子のそれぞれは、互いに独立した下部電極と、第 1 の方向に互いに接続された上部電極を有し、前記上部電極の前記第 1 の方向と直交する方向の幅は、前記強誘電体層の前記第 1 の方向と直交する方向の幅よりも狭いことを特徴とする強誘電体メモリ装置。

【請求項 2】 複数の前記容量素子のそれぞれにおいて、前記下部電極の前記第 1 の方向と直交する方向の幅は、前記強誘電体層の前記第 1 の方向と直交する方向の幅よりも狭いことを特徴とする請求項 1 記載の強誘電体メモリ装置。

【請求項 3】 複数の前記容量素子のそれぞれにおいて、前記第 1 の方向と直交する方向における前記上部電極の幅と前記下部電極の幅がほぼ同じであり、前記上部電極と下部電極は平面的位置がほぼ同じであることを特徴とする請求項 2 記載の強誘電体メモリ装置。

【請求項 4】 複数の前記容量素子のそれぞれにおいて、前記第 1 の方向と直交する方向における前記上部電極の幅と前記下部電極の幅がほぼ同じであり、前記上部電極と下部電極は平面的位置がずれていることを特徴とする請求項 2 記載の強誘電体メモリ装置。

【請求項 5】 メモリセルトランジスタと、強誘電体層と該強誘電体層を挟んで形成された下部電極および上部電極によって構成された容量素子とからなる強誘電体メモリ装置であって、複数の前記強誘電体メモリ装置における容量素子のそれぞれは、互いに独立した下部電極と、第 1 の方向に互いに接続された上部電極を有し、前記上部電極の前記第 1 の方向と直交する方向の幅は、前記強誘電体層の前記第 1 の方向と直交する方向の幅よりも狭く、前記上部電極の前記第 1 の方向と直交する方向の一方のエッジと前記強誘電体層の前記第 1 の方向と直交する方向の一方のエッジとは平面的位置がほぼ一致していることを特徴とする強誘

電体メモリ装置。

【請求項 6】 複数の前記容量素子のそれぞれにおいて、前記下部電極の前記第 1 の方向と直交する方向の幅は、前記強誘電体層の前記第 1 の方向と直交する方向の幅よりも狭く、前記上部電極の前記第 1 の方向と直交する方向の一方のエッジと前記下部電極の前記第 1 の方向と直交する方向の一方のエッジとは平面的位置がほぼ一致していることを特徴とする請求項 5 記載の強誘電体メモリ装置。

【請求項 7】 メモリセルトランジスタと、強誘電体層と該強誘電体層を挟んで形成された下部電極および上部電極によって構成された容量素子とからなる強誘電体メモリ装置であって、複数の前記強誘電体メモリ装置における容量素子のそれぞれは、互いに独立した下部電極と、第 1 の方向に互いに接続された上部電極を有し、前記上部電極の前記第 1 の方向と直交する方向の幅は、前記強誘電体層の前記第 1 の方向と直交する方向の幅よりも狭く、前記上部電極の前記第 1 の方向と直交する方向の一方のエッジと前記強誘電体層の前記第 1 の方向と直交する方向の一方のエッジとは平面的位置がほぼ一致し、前記下部電極の前記第 1 の方向と直交する方向の幅は、前記強誘電体層の前記第 1 の方向と直交する方向の幅よりも狭く、前記下部電極の前記第 1 の方向と直交する方向の他方のエッジと前記強誘電体層の前記第 1 の方向と直交する方向の他方のエッジとは平面的位置がほぼ一致していることを特徴とする強誘電体メモリ装置。

【請求項 8】 前記第 1 の方向に互いに接続された上部電極はセルプレート線を構成し、隣接する前記セルプレート線のそれぞれは、前記強誘電体層を共有することを特徴とする請求項 1 乃至 7 のうちいずれか 1 項に記載の強誘電体メモリ装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、強誘電体メモリ装置における容量素子の構造に関するものである。

【 0 0 0 2 】

【従来の技術】

従来の強誘電体メモリのメモリセル構造の加工として、上部電極と強誘電体層

とを同じマスクで加工する構成であった。この従来のメモリセルの構造例を図 1 3 を用いて簡単に説明する（例えば、特許文献 1 参照）。

【 0 0 0 3 】

まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これを同じマスクでプレート電極として加工したものである。

【 0 0 0 4 】

【特許文献 1】

特開 2 0 0 2 - 1 9 8 4 9 4 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

このような従来のメモリセル構造では、上部電極と強誘電体層を同じマスクで加工するために、上部電極と下部電極が電氣的にリークしないために上部電極を下部電極より大きくしないといけないという課題があった。これはメモリセルサイズの縮小の障害ともなるものである。

【 0 0 0 6 】

本発明の目的は、上記課題を解決するものであって、上部電極と下部電極が電氣的にリークがなく、小さなメモリセルサイズが実現できる強誘電体メモリ装置を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

この課題を解決するために、本発明は以下の構造を有する強誘電体メモリ装置とする。

【 0 0 0 8 】

第 1 の手段として、上部電極層のエッジが強誘電体層のエッジより内側である構成のメモリセル構造の強誘電体メモリ装置とする。

【 0 0 0 9 】

第 2 の手段として、上部電極層の一方のエッジが強誘電体層の一方のエッジより内側、上部電極層の他方のエッジが強誘電体層の他方のエッジと同じで、この

強誘電体層の他方のエッジより下部電極の一方のエッジが内側にあるメモリセル構造の強誘電体メモリ装置とする。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 1 1 】

(実施形態 1)

本発明の実施形態 1 について、図面を用いて説明する。図 1 が、実施形態 1 の断面図と上面図である。

【 0 0 1 2 】

本実施形態は、上部電極層のエッジが強誘電体層のエッジより内側である構成のメモリセル構造の強誘電体メモリ装置である。具体的には、図 1 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように加工する。このとき、下部電極は、上部電極とは垂直の方向にライン状に加工することも可能である。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。また、強誘電体層をマスク加工するときに、先に加工された例えばライン状の下部電極も加工する方法も可能である。

【 0 0 1 3 】

本実施形態 1 では、上部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。また、強誘電体層をマスク加工するときに、先に加工された例えばライン状の下部電極も加工する場合、下部電極の分離を強誘電体層の加工と同じマスク工程で可能であるという効果もある。

【 0 0 1 4 】

(実施形態 2)

本発明の実施形態 2 について、図面を用いて説明する。図 2 が、実施形態 2 の断面図と上面図である。

【0015】

本実施形態は、実施形態 1 の応用例であって、上部電極層のエッジが強誘電体層のエッジより内側である構成のメモリセル構造の強誘電体メモリ装置であって、下部電極のそれぞれの分離の一部については下部電極加工時に行うことにより、強誘電体膜を加工しない部分でのメモリセル面積縮小を可能とするものである。本実施形態では 2 本のプレート線に対して一体の強誘電体層の加工としたものである。具体的には、図 2 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように加工する。このとき、下部電極は、上部電極とは垂直の方向に 2 個を 1 つにライン状に加工し、その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。また、強誘電体層をマスク加工するときに、先に加工された例えばライン状の下部電極も加工するものである。

【0016】

本実施形態 2 では、実施形態 1 と同様に、上部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。また、強誘電体層をマスク加工するときに、先に加工された例えばライン状の下部電極も加工する場合、下部電極の分離を強誘電体層の加工と同じマスク工程で可能であるという効果もある。さらに、下部電極を先に分離した部分の上に強誘電体膜を加工しない部分を設けることにより実施形態 1 よりメモリセル面積縮小が可能であるという効果がある。

【0017】

ここで、2 本のプレート線に対して一体の強誘電体層の加工とする実施形態を示しているが、もちろん 2 本に限るものではない。

【0018】

(実施形態 3)

本発明の実施形態 3 について、図面を用いて説明する。図 3 が、実施形態 3 の断面図と上面図である。

【0019】

本実施形態は、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極層のエッジも強誘電体層のエッジより内側である構成のメモリセル構造の強誘電体メモリ装置である。具体的には、図 3 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように個別に加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【0020】

本実施形態 3 では、実施形態 1 と同様に上部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。このとき実施形態 1 よりも下部電極と強誘電体層にもオーバーラップがあるため、よりリークが起こりにくい構成である。

【0021】

(実施形態 4)

本発明の実施形態 4 について、図面を用いて説明する。図 4 が、実施形態 4 の断面図と上面図である。

【0022】

本実施形態は、実施形態 3 の応用例であって、上部電極層のエッジが強誘電体層のエッジより内側である構成のメモリセル構造の強誘電体メモリ装置であって、下部電極のそれぞれの分離の一部については強誘電体膜を加工しない部分を設けることによりメモリセル面積縮小を可能とするものである。本実施形態では 2 本のプレート線に対して一体の強誘電体層の加工としたものである。具体的には、図 4 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、

それぞれの下部電極 2 となるように個別に加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【0023】

本実施形態 4 では、実施形態 1 と同様に上部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。このとき実施形態 1 よりも下部電極と強誘電体層にもオーバーラップがあるため、よりリークが起こりにくい構成である。さらに、下部電極を先に分離した部分の上に強誘電体膜を加工しない部分を設けることにより実施形態 3 よりメモリセル面積縮小が可能であるという効果がある。

【0024】

(実施形態 5)

本発明の実施形態 5 について、図面を用いて説明する。図 5 が、実施形態 5 の断面図と上面図である。

【0025】

本実施形態は、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極層のエッジも強誘電体層のエッジより内側で、上部電極と下部電極の幅がほぼ同じで同じ位置である構成のメモリセル構造の強誘電体メモリ装置である。具体的には、図 5 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように個別に加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細く下部電極とほぼ同じ幅のマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【0026】

本実施形態 5 では、上部電極層のエッジが強誘電体層のエッジより内側で、下

部電極と強誘電体層にもオーバーラップがあるため上部電極と下部電極が電氣的にリークがないという効果がある。さらに、上部電極と下部電極の幅がほぼ同じで同じ位置であるため、小さなメモリセル面積でキャパシタ有効面積の大きな構成とできるという効果がある。

【 0 0 2 7 】

(実施形態 6)

本発明の実施形態 6 について、図面を用いて説明する。図 6 が、実施形態 6 の断面図と上面図である。

【 0 0 2 8 】

本実施形態は、実施形態 5 の応用で、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極層のエッジも強誘電体層のエッジより内側で、上部電極と下部電極の幅がほぼ同じで同じ位置である構成のメモリセル構造の強誘電体メモリ装置である。また、下部電極のそれぞれの分離の一部については強誘電体膜を加工しない部分を設けることによりメモリセル面積縮小を可能とするものである。本実施形態では 2 本のプレート線に対して一体の強誘電体層の加工としたものである。具体的には、図 6 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように個別に加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細く下部電極とほぼ同じ幅のマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【 0 0 2 9 】

本実施形態 6 では、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極と強誘電体層にもオーバーラップがあるため上部電極と下部電極が電氣的にリークがないという効果がある。さらに、上部電極と下部電極の幅がほぼ同じで同じ位置であるため、小さなメモリセル面積でキャパシタ有効面積の大きな構成とできるという効果がある。さらに、下部電極を先に分離した部分の上に強誘電体膜を加工しない部分を設けることにより実施形態 5 よりメモリセル面積縮小

が可能であるという効果がある。

【 0 0 3 0 】

(実施形態 7)

本発明の実施形態 7 について、図面を用いて説明する。図 7 が、実施形態 7 の断面図と上面図である。

【 0 0 3 1 】

本実施形態は、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極層のエッジも強誘電体層のエッジより内側で、上部電極と下部電極の幅が同方向にシフトした位置である構成のメモリセル構造の強誘電体メモリ装置である。具体的には、図 7 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように個別に加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細く下部電極とほぼ同じ幅のマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【 0 0 3 2 】

本実施形態 7 では、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極と強誘電体層にもオーバーラップがあるため上部電極と下部電極が電氣的にリークがないという効果がある。さらに、上部電極と下部電極の幅を同方向にシフトした構成により、小さなメモリセル面積で構成できるとともに、マスクずれなどにおいてもそれぞれのキャパシタ部の面積を同じに保つことができるという効果がある。

【 0 0 3 3 】

(実施形態 8)

本発明の実施形態 8 について、図面を用いて説明する。図 8 が、実施形態 8 の断面図と上面図である。

【 0 0 3 4 】

本実施形態は、上部電極層のエッジが強誘電体層のエッジより内側で、下部電

極層のエッジも強誘電体層のエッジより内側で、上部電極と下部電極の幅が同方向にシフトした位置である構成のメモリセル構造の強誘電体メモリ装置である。また、下部電極のそれぞれの分離の一部については強誘電体膜を加工しない部分を設けることによりメモリセル面積縮小を可能とするものである。本実施形態では2本のプレート線に対して一体の強誘電体層の加工としたものである。具体的には、図8に示されるように、まず、コンタクト1を形成し、下部電極層を形成し、それぞれの下部電極2となるように個別に加工する。その上に強誘電体層3と上部電極層4を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細く下部電極とほぼ同じ幅のマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【0035】

本実施形態8では、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極と強誘電体層にもオーバーラップがあるため上部電極と下部電極が電氣的にリークがないという効果がある。さらに、上部電極と下部電極の幅を同方向にシフトした構成により、小さなメモリセル面積で構成できるとともに、マスクずれなどにおいてもそれぞれのキャパシタ部の面積を同じに保つことができるという効果がある。さらに、下部電極を先に分離した部分の上に強誘電体膜を加工しない部分を設けることにより実施形態7よりメモリセル面積縮小が可能であるという効果がある。

【0036】

(実施形態9)

本発明の実施形態9について、図面を用いて説明する。図9が、実施形態9の断面図と上面図である。

【0037】

本実施形態は、上部電極層のエッジの一部が強誘電体層のエッジより内側で、他の上部電極層のエッジが強誘電体層のエッジ位置である構成のメモリセル構造の強誘電体メモリ装置である。具体的には、図9に示されるように、まず、コン

タクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。強誘電体層と上部電極のエッジが同じ位置の構成であるところについては、強誘電体層加工時に上部電極も同時に加工可能である。

【 0 0 3 8 】

本実施形態 9 では、下部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。

【 0 0 3 9 】

(実施形態 1 0)

本発明の実施形態 1 0 について、図面を用いて説明する。図 1 0 が、実施形態 1 0 の断面図と上面図である。

【 0 0 4 0 】

本実施形態は、上部電極層のエッジの一部が強誘電体層のエッジより内側で、他の上部電極層のエッジが強誘電体層のエッジ位置で、上部電極層のエッジの一部が強誘電体層のエッジより内側である部分については上部電極のエッジ位置と下部電極のエッジ位置がほぼ同じ位置である構成のメモリセル構造の強誘電体メモリ装置である。具体的には、図 1 0 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。強誘電体層と上部電極のエッジが同じ位置の構成であるところについては、強誘電体層加工時に上部電極も同時に加工可能である。

【 0 0 4 1 】

本実施形態 1 0 では、下部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。上部電極層のエッジの一部が強誘電体層のエッジより内側である部分については上部電極のエッジ位置と下部電極のエッジ位置がほぼ同じ位置である構成であるため、メモリセルサイズを小さく構成できるという効果がある。

【 0 0 4 2 】

(実施形態 1 1)

本発明の実施形態 1 1 について、図面を用いて説明する。図 1 1 が、実施形態 1 1 の断面図と上面図である。

【 0 0 4 3 】

本実施形態は、上部電極層のエッジの一部が強誘電体層のエッジより内側で、他の上部電極層のエッジが強誘電体層のエッジ位置で、上部電極と下部電極の幅を同方向にシフトした位置に配置された構造の強誘電体メモリ装置である。具体的には、図 1 1 に示されるように、まず、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細かいマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。強誘電体層と上部電極のエッジが同じ位置の構成であるところについては、強誘電体層加工時に上部電極も同時に加工可能である。

【 0 0 4 4 】

本実施形態 1 1 では、下部電極層のエッジが強誘電体層のエッジより内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがないという効果がある。上部電極と下部電極の幅を同方向にシフトした構成により、小さなメモリセル面積で構成できるとともに、マスクずれなどにおいてもそれぞれのキャパシタ部の面積を同じに保つことができるという効果がある。

【 0 0 4 5 】

(実施形態 1 2)

本発明の実施形態 12 について、図面を用いて説明する。図 12 が、実施形態 12 の断面図と上面図である。

【0046】

本実施形態は、実施形態 8 に対して、メモリセルトランジスタや、ビット線などメモリセルアレイをより具体的にした構成である。実施形態 8 と同様に、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極層のエッジも強誘電体層のエッジより内側で、上部電極と下部電極の幅が同方向にシフトした位置である構成のメモリセル構造の強誘電体メモリ装置である。また、下部電極のそれぞれの分離の一部については強誘電体膜を加工しない部分を設けることによりメモリセル面積縮小を可能とするものである。本実施形態では 2 本のプレート線に対して一体の強誘電体層の加工としたものである。具体的には、図 12 に示されるように、メモリセルトランジスタを形成し、次にビット線を形成する。次に、コンタクト 1 を形成し、下部電極層を形成し、それぞれの下部電極 2 となるように個別に加工する。その上に強誘電体層 3 と上部電極層 4 を形成し、これらをそれぞれ別のマスクで加工する。このとき、強誘電体層の加工マスクよりも細く下部電極とほぼ同じ幅のマスクで上部電極を加工したものである。実際の製造時には、上部電極を加工後に強誘電体層を加工することも可能であるし、強誘電体層を加工後に上部電極を加工することも可能である。

【0047】

本実施形態 12 では、上部電極層のエッジが強誘電体層のエッジより内側で、下部電極と強誘電体層にもオーバーラップがあるため上部電極と下部電極が電氣的にリークがないという効果がある。さらに、上部電極と下部電極の幅を同方向にシフトした構成により、小さなメモリセル面積で構成できるとともに、マスクずれなどにおいてもそれぞれのキャパシタ部の面積を同じに保つことができるという効果がある。

【0048】

本実施形態では、ビット線をメモリセルキャパシタより下部に形成した実施形態であるが、メモリセルキャパシタの上部に形成する構成も同様に構成できる。

【0049】

また、ここでは、実施形態 1 から実施形態 1 2 について示したが、もちろんこれらのそれぞれを併用した構成も可能で、本発明に含まれるものである。

【0 0 5 0】

【発明の効果】

以上のように、本発明の構成によれば、上部電極層のエッジの一部が強誘電体層のエッジの一部より内側であるメモリセル構成により、上部電極と下部電極が電氣的にリークがなく、小さなメモリセルサイズが実現できるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 2】

本発明の第 2 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 3】

本発明の第 3 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 4】

本発明の第 4 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 5】


本発明の第 5 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 6】

本発明の第 6 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 7】

本発明の第 7 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を



示す図

【図 8】

本発明の第 8 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 9】

本発明の第 9 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 1 0】

本発明の第 1 0 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 1 1】

本発明の第 1 1 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 1 2】

本発明の第 1 2 の実施形態に係るメモリセル構造を有する強誘電体メモリ装置を示す図

【図 1 3】

従来のメモリセル構造を有する強誘電体メモリ装置を示す図

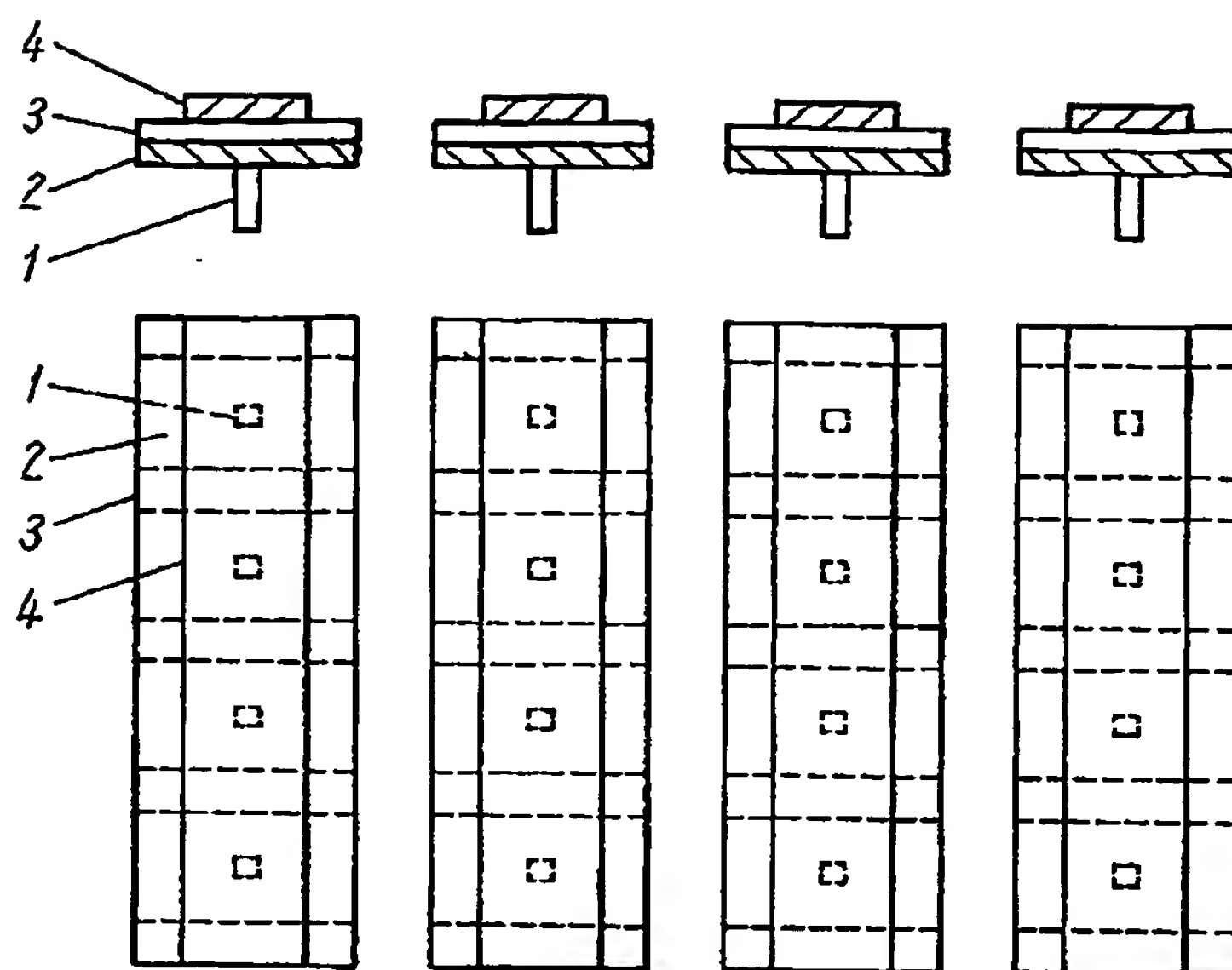
【符号の説明】

- 1 下部電極と接続されるコンタクト
- 2 下部電極
- 3 強誘電体層
- 4 上部電極層

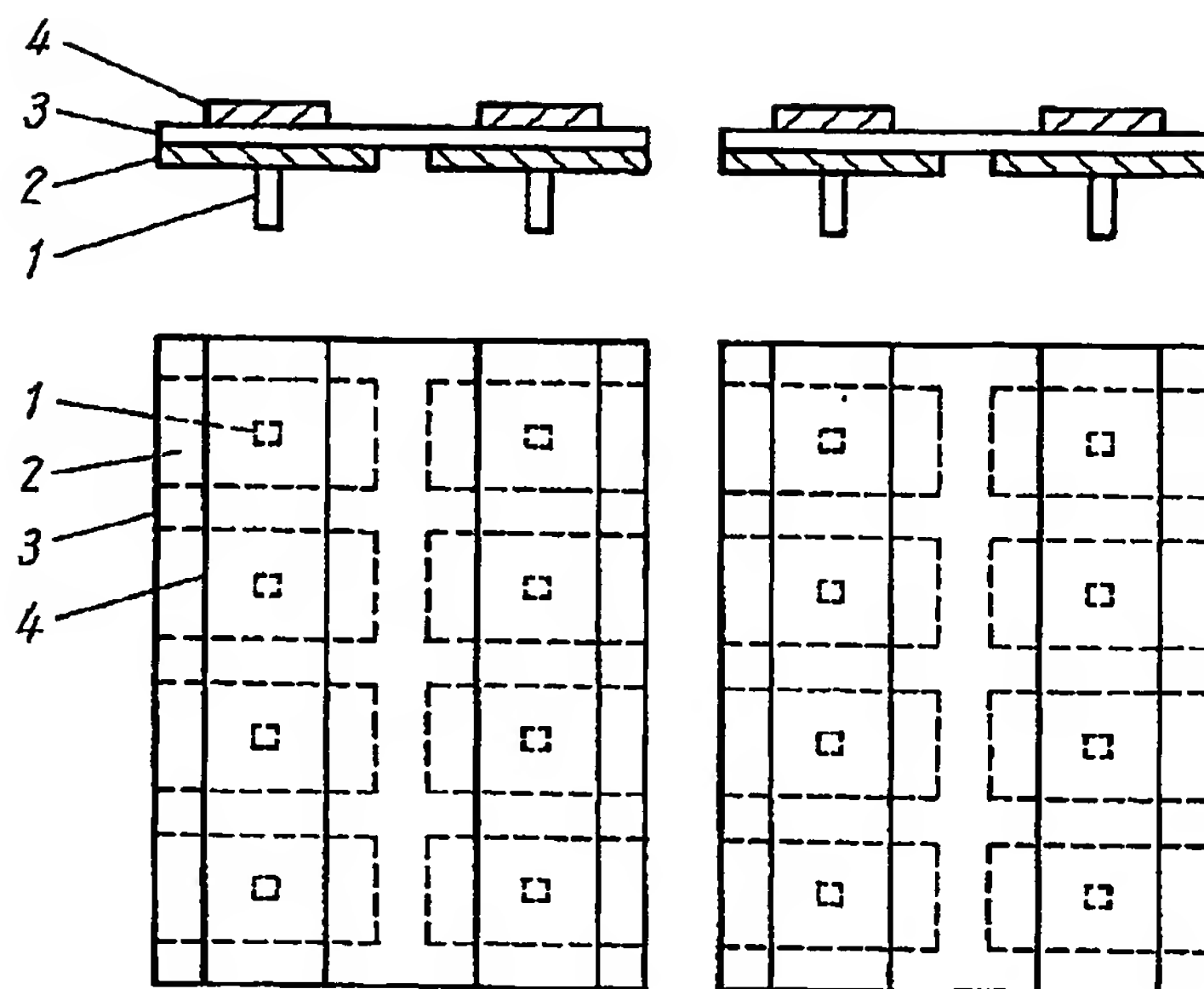
【書類名】

図面

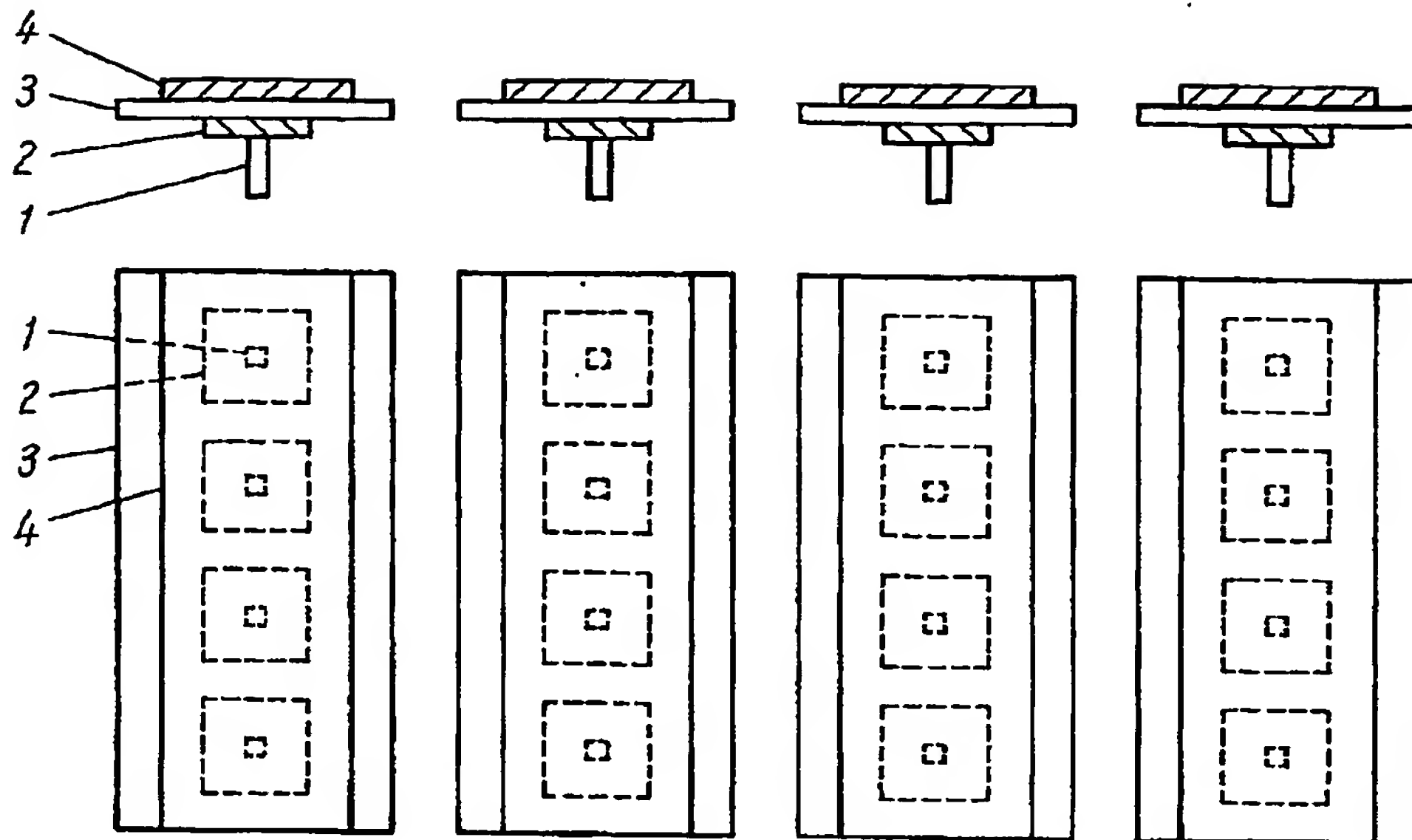
【図 1】



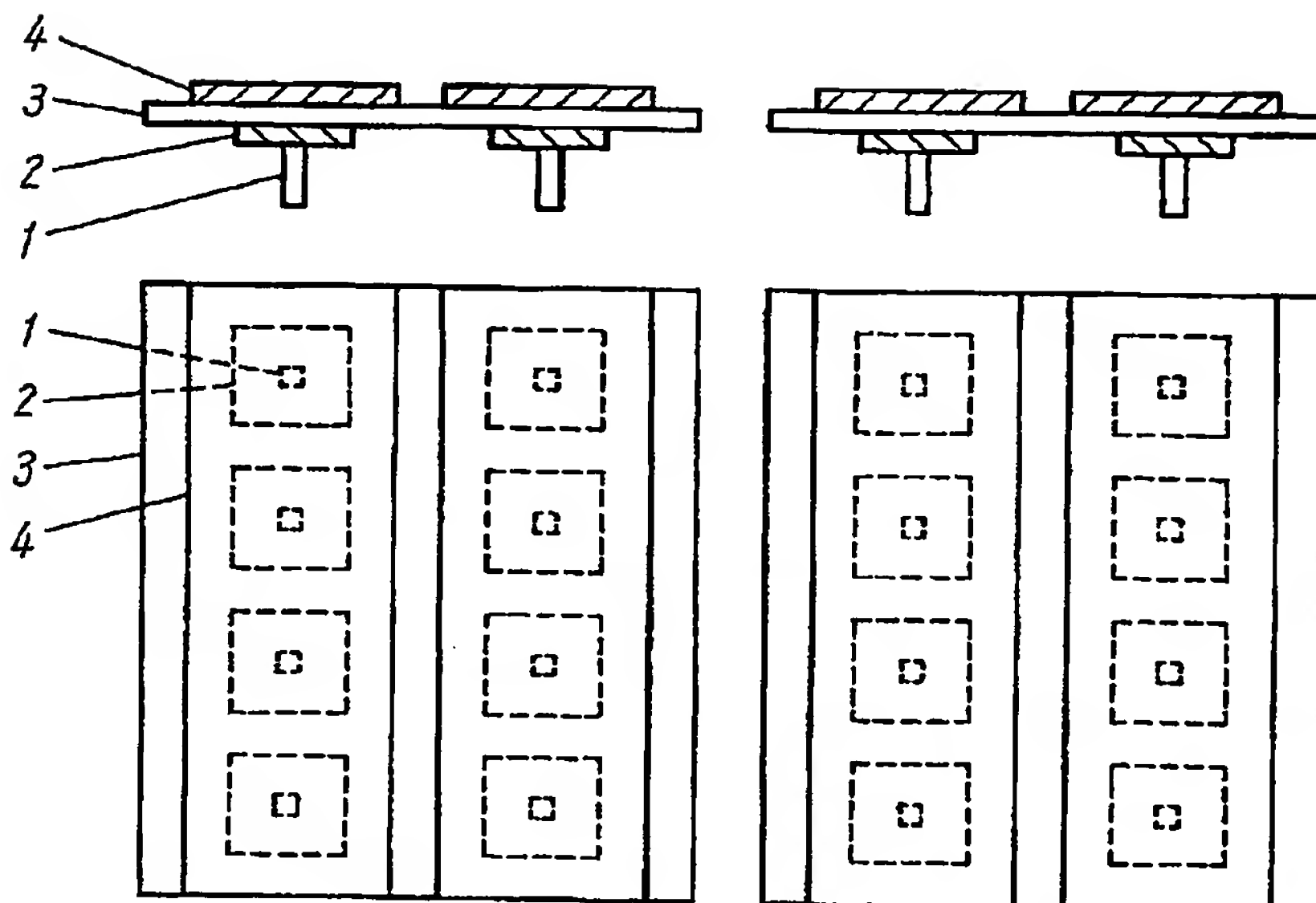
【図 2】



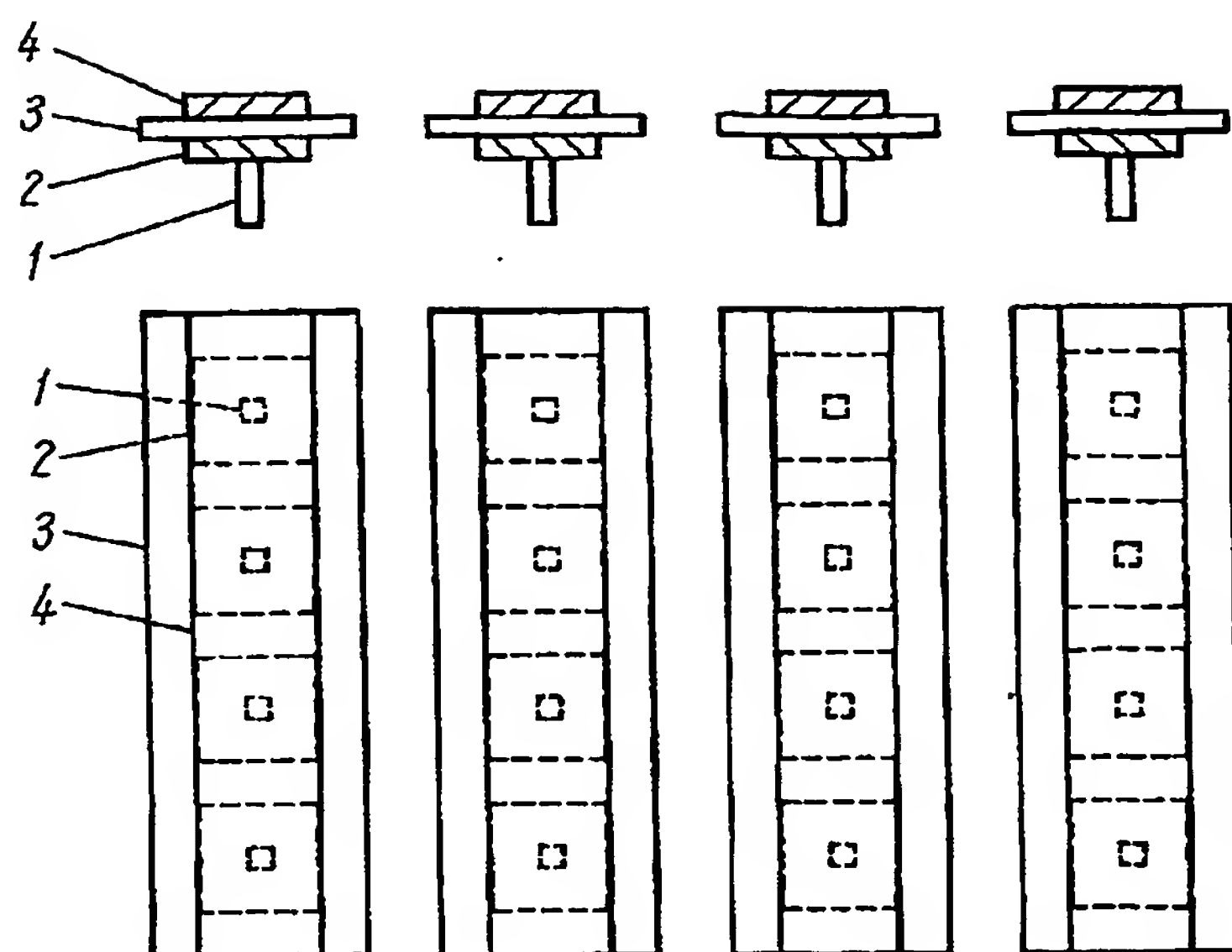
【図 3】



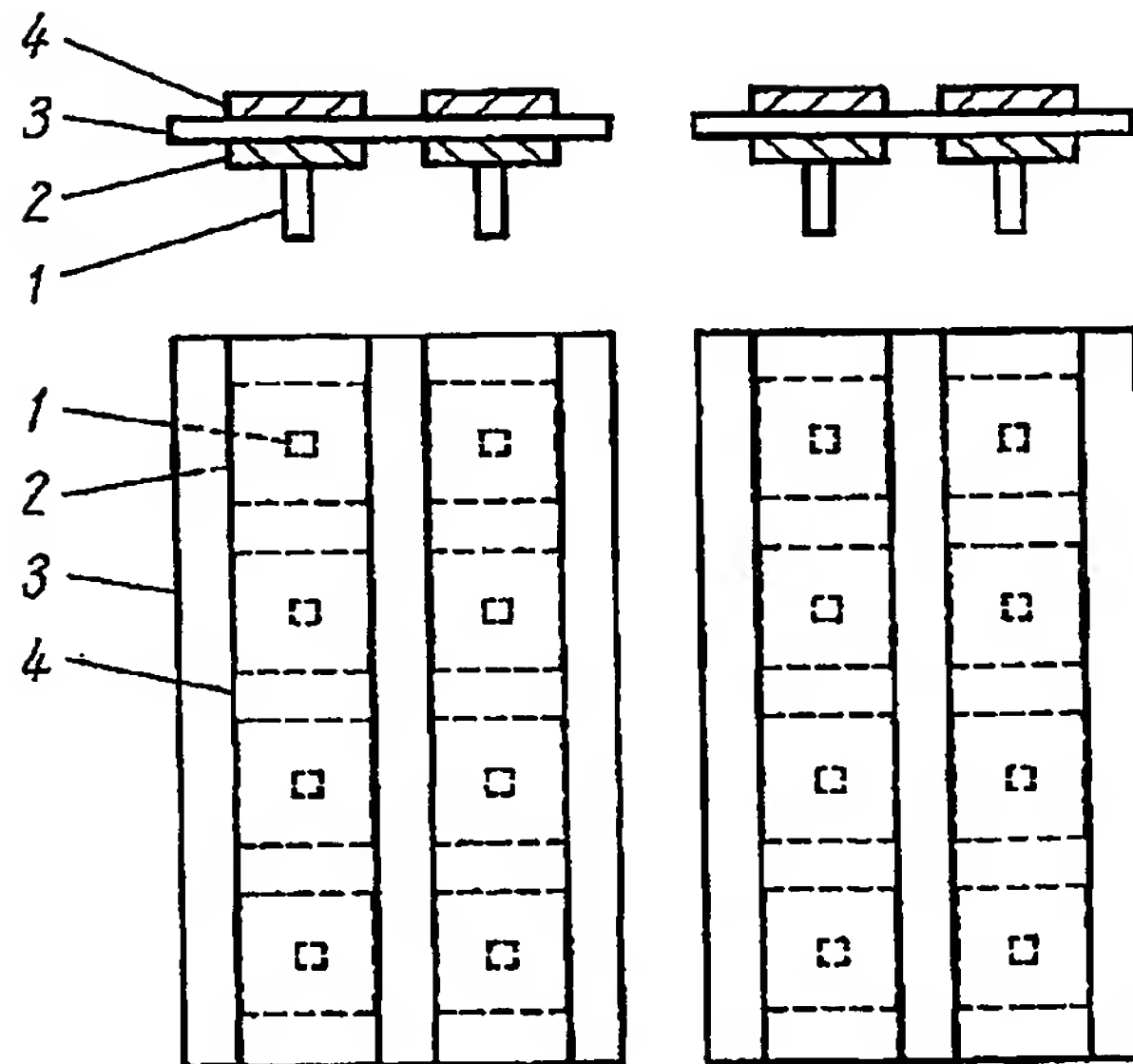
【図 4】



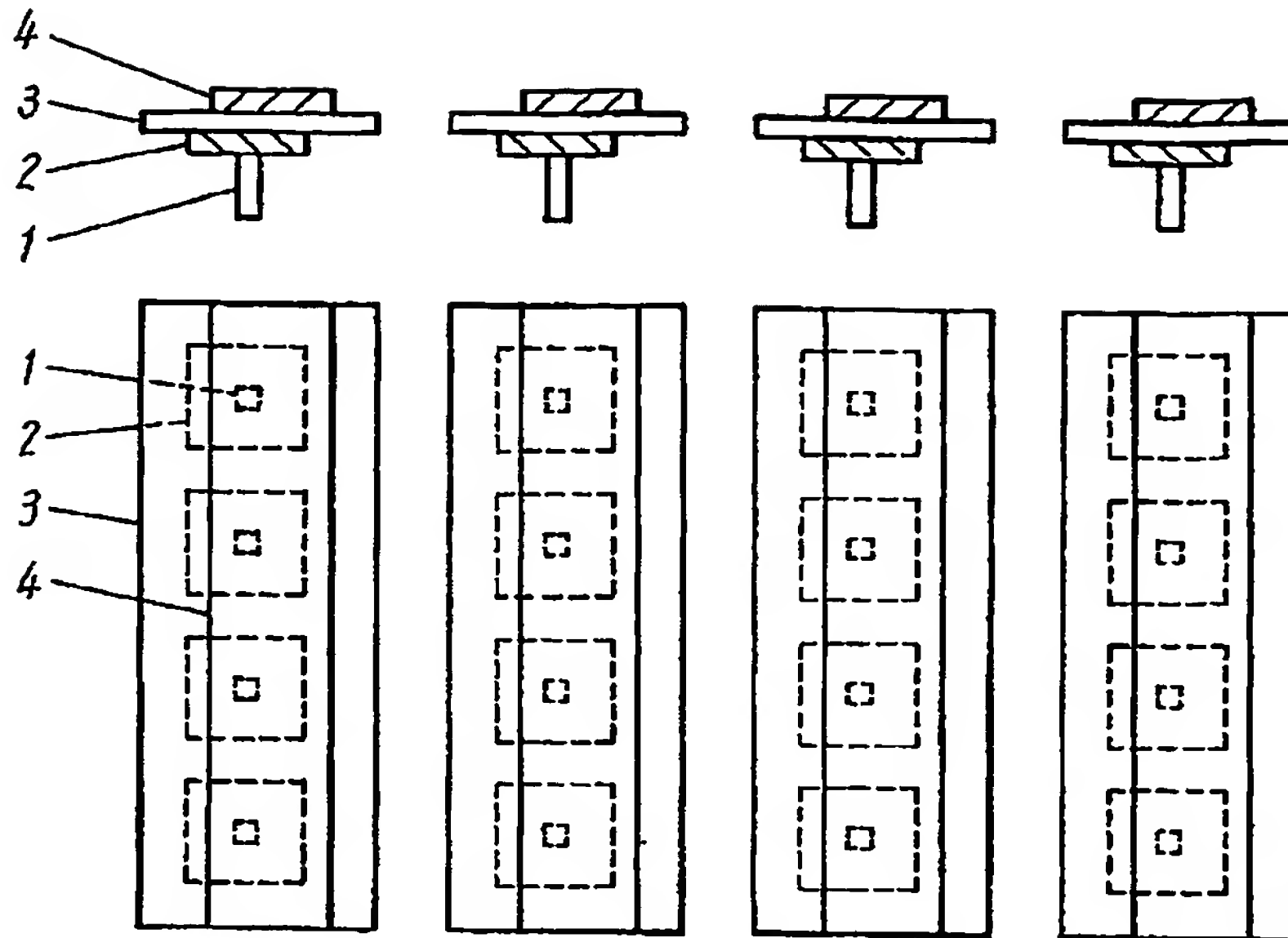
【図 5】



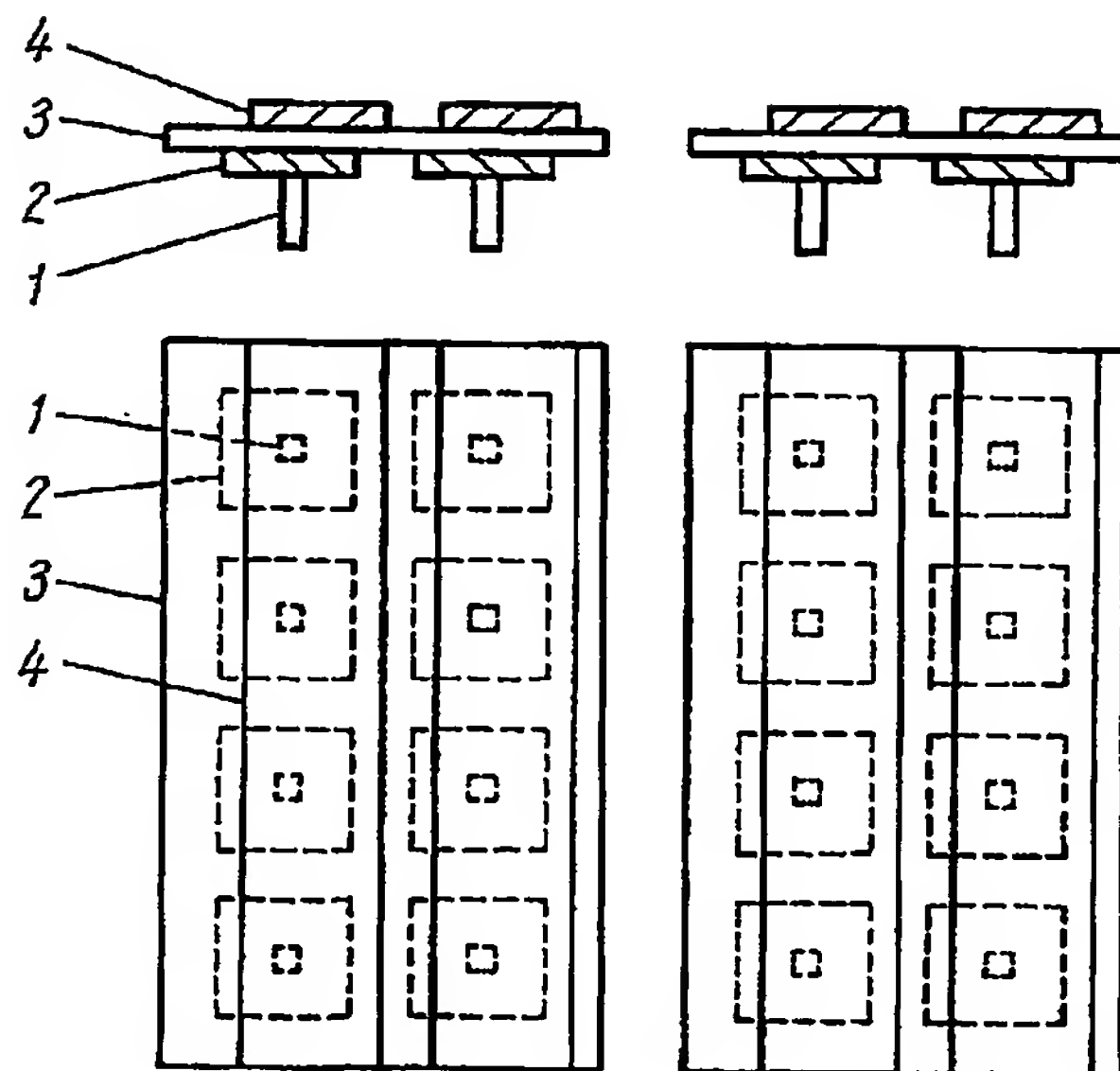
【図 6】



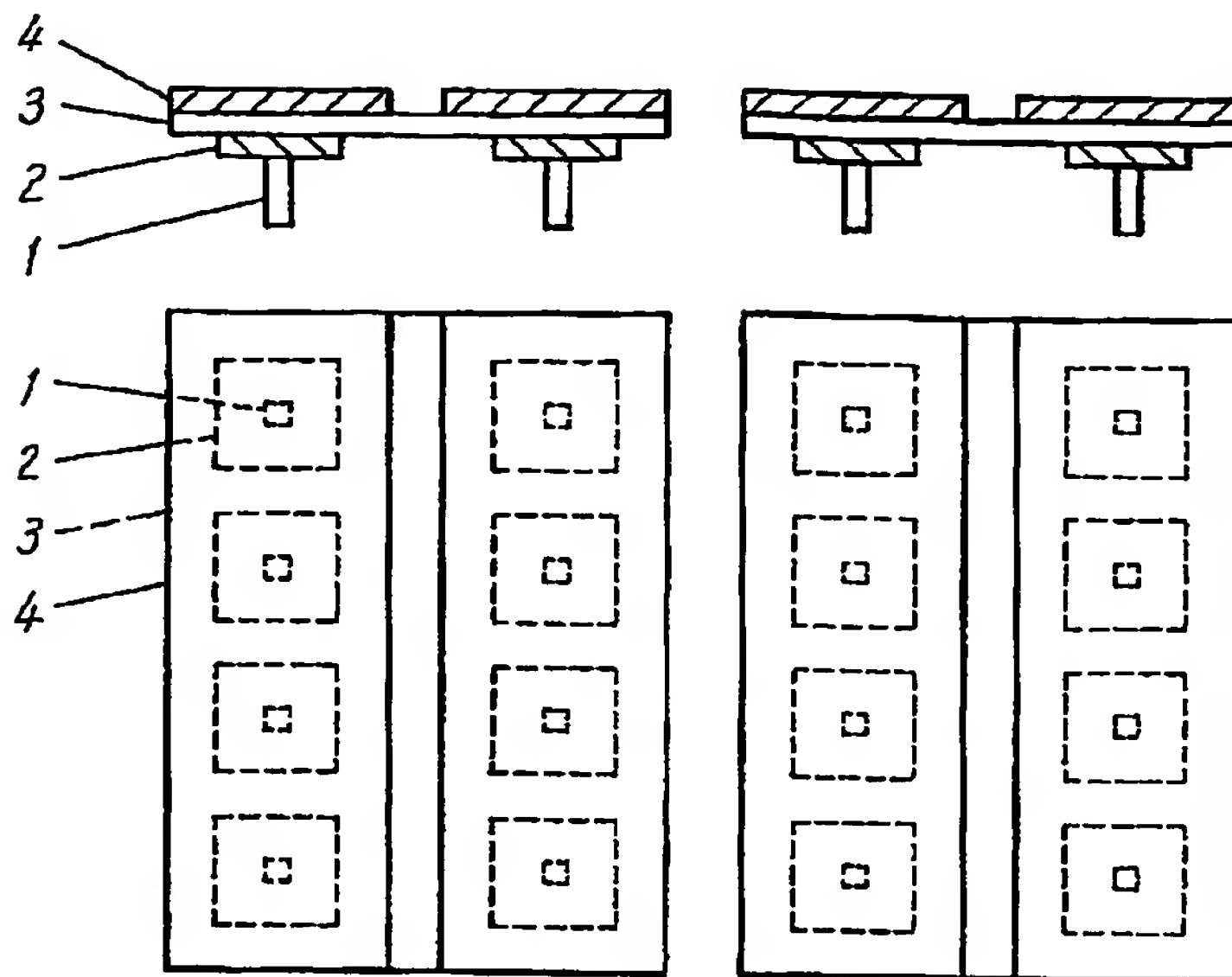
【図 7】



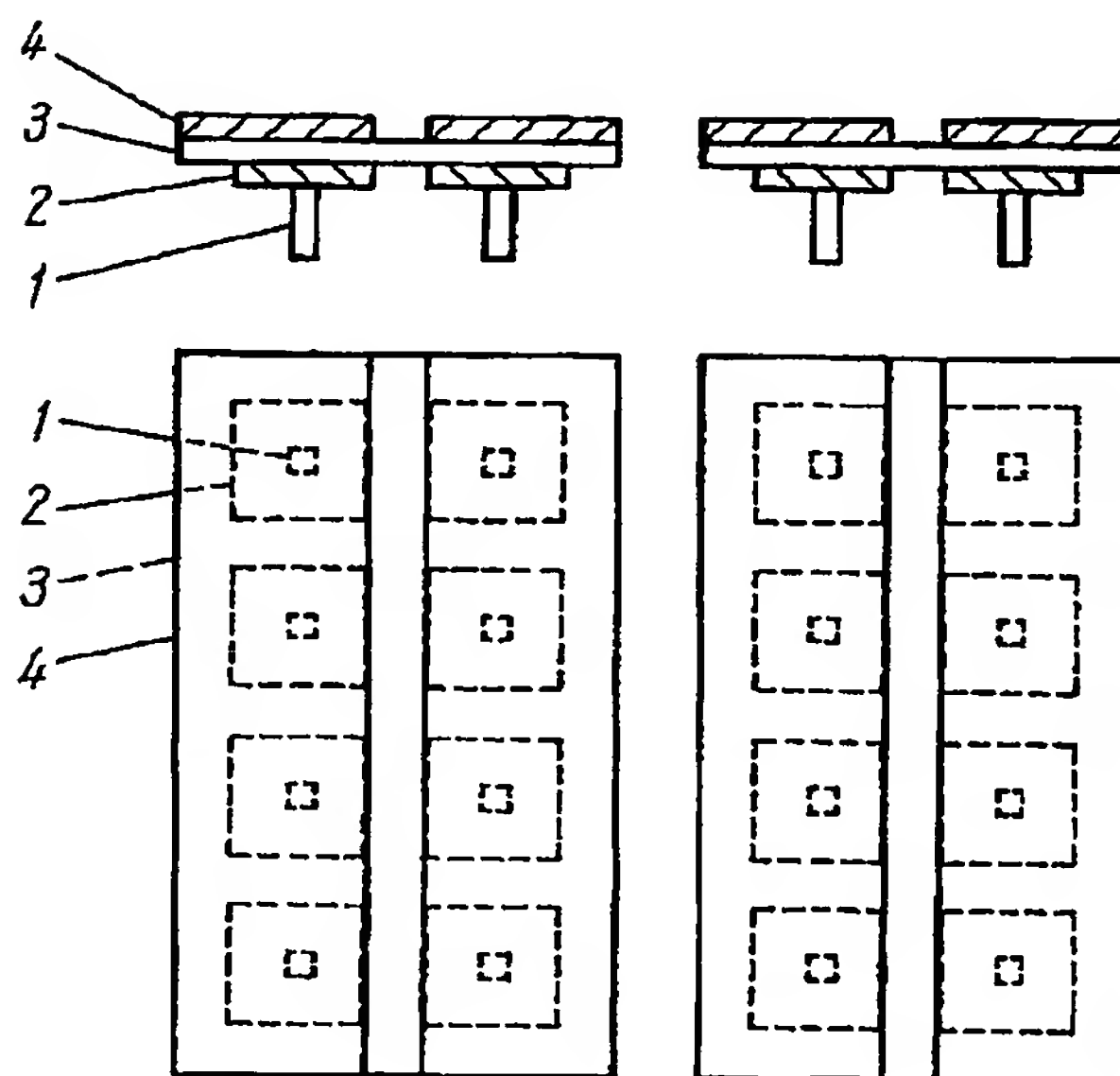
【図 8】



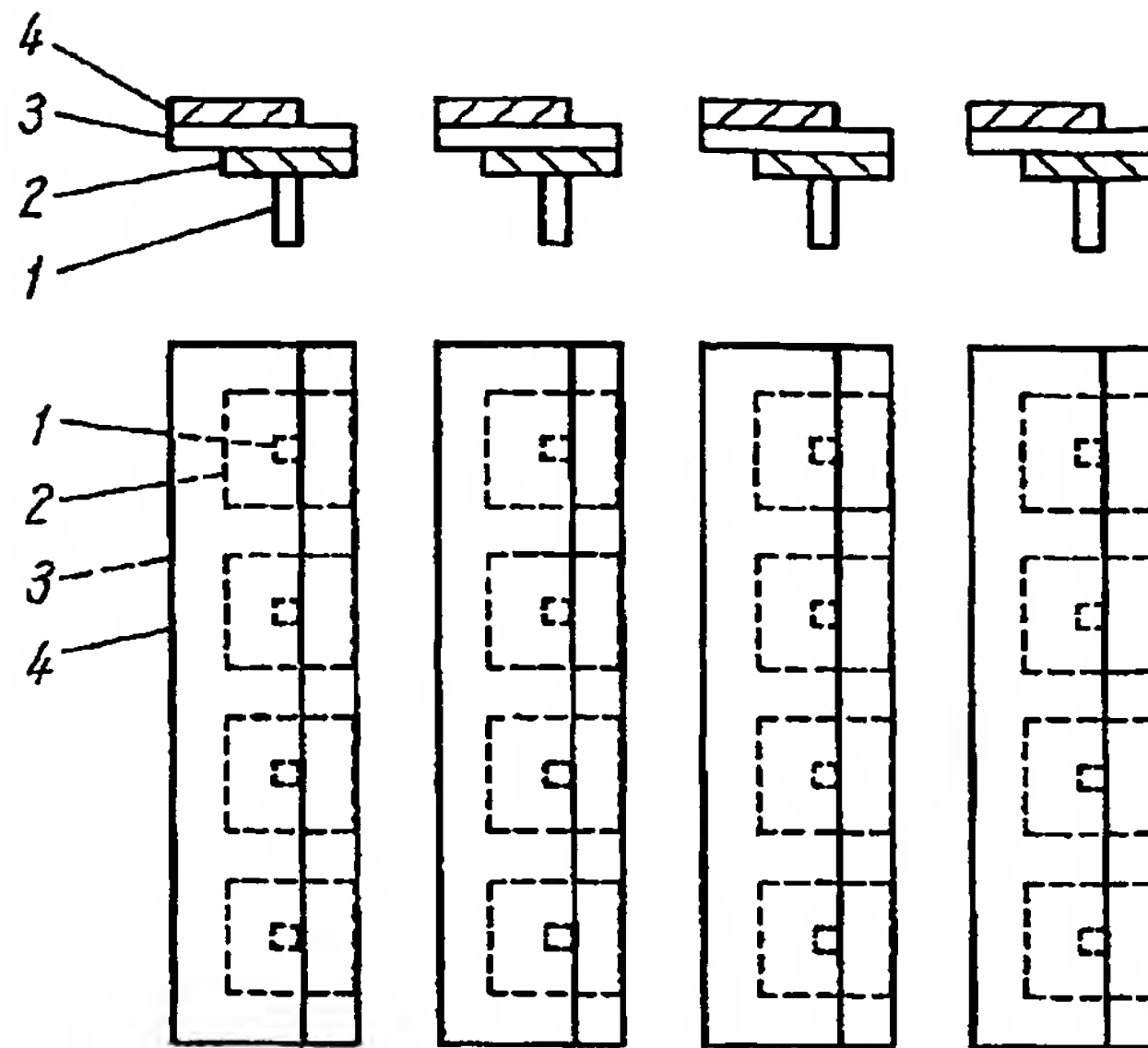
【図 9】



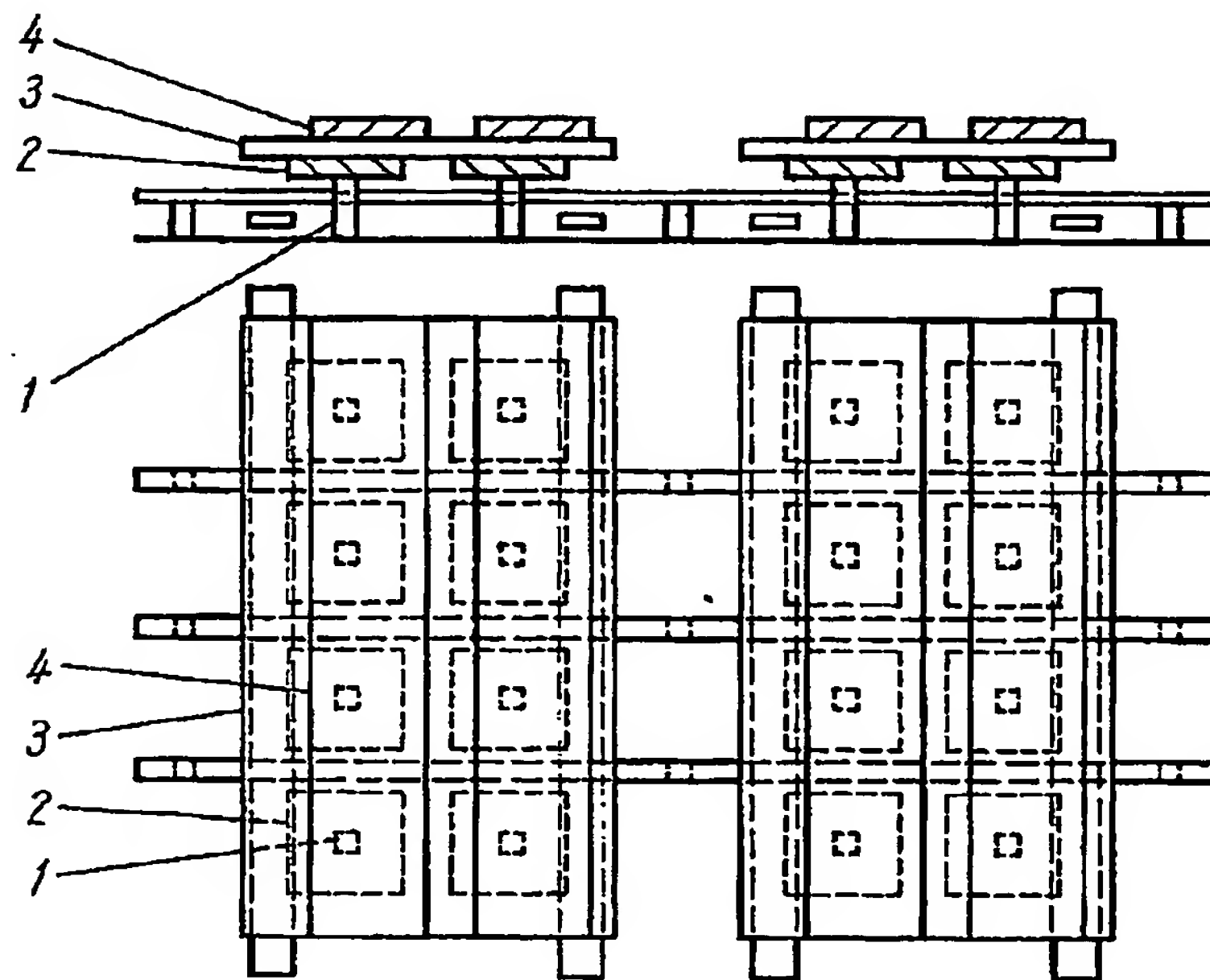
【図 10】



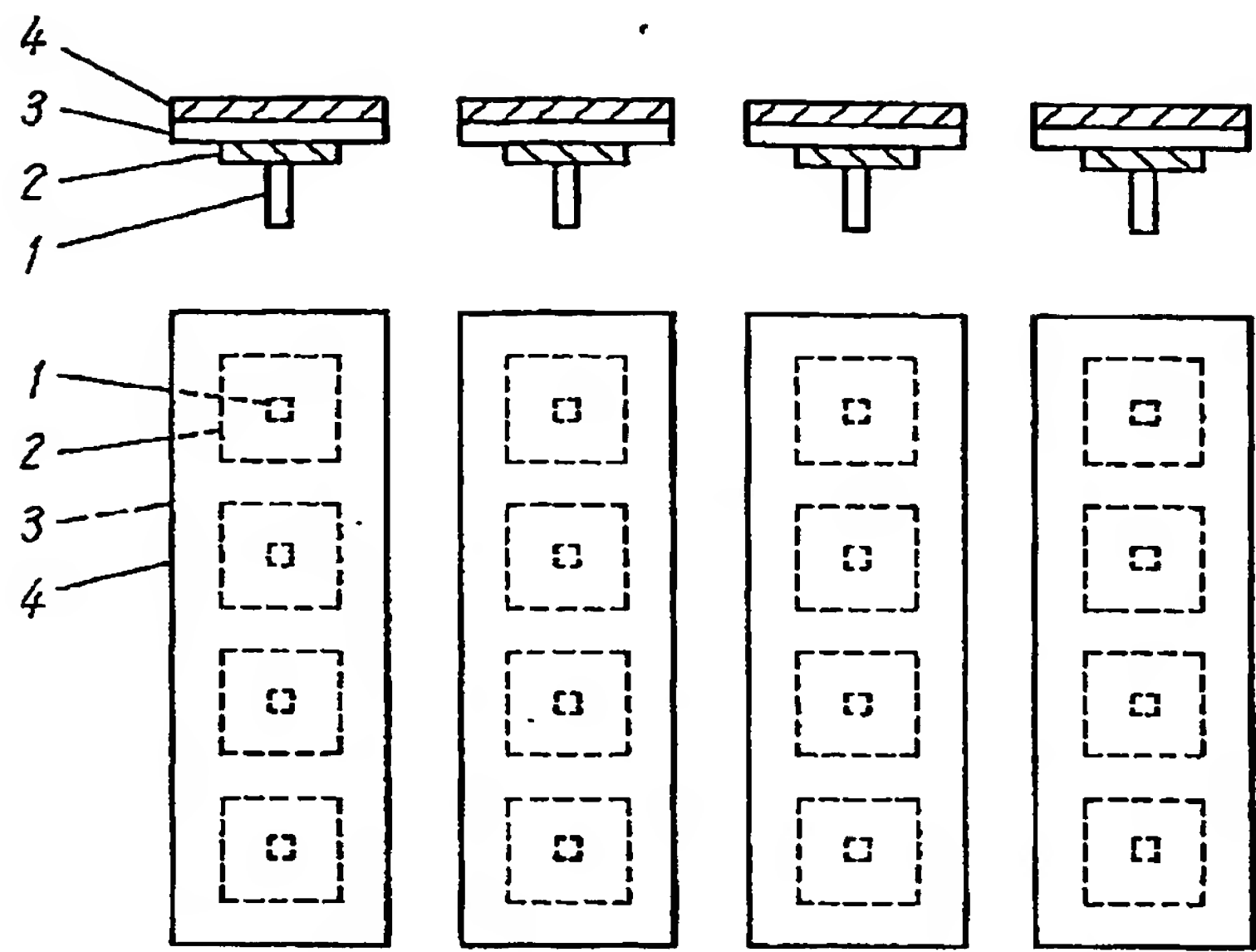
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 上部電極と下部電極が電氣的にリークがなく、小さなメモリセルサイズが実現できる強誘電体メモリ装置を提供する。

【解決手段】 メモリセルトランジスタと、強誘電体層 3 とこの強誘電体層を挟んで形成された下部電極 2 および上部電極層 4 によって構成された容量素子とからなる強誘電体メモリ装置である。ここで、複数の強誘電体メモリ装置における容量素子のそれぞれは、互いに独立した下部電極と、第 1 の方向に互いに接続された上部電極を有する。また、上部電極の第 1 の方向と直交する方向の幅は、強誘電体層の第 1 の方向と直交する方向の幅よりも狭くする。この強誘電体層より上部電極の幅を小さくした構成により上部電極と下部電極のリーク等を防止することができる。

【選択図】 図 1

特願 2 0 0 3 - 1 2 1 1 9 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社